

PAT-NO: JP360124872A

DOCUMENT-IDENTIFIER: JP 60124872 A

TITLE: VERTICAL TYPE MOS FIELD-EFFECT TRANSISTOR

PUBN-DATE: July 3, 1985

INVENTOR-INFORMATION:

NAME

ISHIKAWA, OSAMU

EZAKI, TAKEYA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD

N/A

APPL-NO: JP58233006

APPL-DATE: December 9, 1983

INT-CL (IPC): H01L029/78

US-CL-CURRENT: 257/340, 257/E29.017

ABSTRACT:

**PURPOSE:** To reduce capacitance between a wire bonding region for a gate electrode and a drain up to a high frequency region by forming the wire bonding region for the gate electrode and a wiring section for the gate electrode on a shielding electrode, which consists of the same material as a gate and is connected to a source electrode on a substrate surface.

**CONSTITUTION:** A shielding electrode 14 composed of the same material as a gate electrode is formed between a substrate 1 and a wire bonding region 10 for

the gate electrode through an oxide film, the shielding electrode 14 is kept at the same potential as a source electrode by a contact 15 for the shielding electrode, and capacitance  $C_{gd}$  between a gate and a drain is reduced. Since the shielding electrode 14 consists of the same material as the gate electrode 4 and the resistance of the same material as the gate electrode 4 and the resistance of the material is lower than conventional materials by one figure or more, the potential of the shielding electrode 14 can be made positively the same as the potential of the source electrode, and the potential of the shielding electrode 14 positioned under the bonding region 10 for the gate electrode hardly floats.

COPYRIGHT: (C)1985,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-124872

⑪ Int.Cl.<sup>4</sup>  
H 01 L 29/78

識別記号 庁内整理番号  
8422-5F

⑬ 公開 昭和60年(1985)7月3日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 縦型MOS電界効果トランジスタ

⑮ 特 願 昭58-233006

⑯ 出 願 昭58(1983)12月9日

⑰ 発 明 者 石 川 修 門真市大字門真1006番地 松下電器産業株式会社内  
⑱ 発 明 者 江 崎 豪 弥 門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地  
⑳ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

縦型MOS電界効果トランジスタ

2、特許請求の範囲

(1) 半導体基板の主面上に、絶縁膜を介してゲートと同一材料で且つ前記半導体基板の主面に位置するソース電極に接続されたシールド電極と、このシールド電極上に絶縁膜を介して形成されたゲート電極用ワイヤーボンディング領域又はその一部分とを有し、前記半導体基板の反対主面がドレインとなっていることを特徴とする縦型MOS電界効果トランジスタ。

(2) シールド電極上に絶縁膜を介してゲート電極の配線部分を有していることを特徴とする特許請求の範囲第1項記載の縦型MOS電界効果トランジスタ。

3、発明の詳細な説明

産業上の利用分野

本発明は、半導体基板表面上にソース及びゲート電極を有し、半導体基板裏面をドレインとする

いわゆる縦型MOS電界効果トランジスタに関する。

従来例の構成とその問題点

縦型MOS電界効果トランジスタを高周波(例えば1GHz等)で動作させしきも高い利得を得る為には、入出力間の帰還容量を十分下げる必要がある。縦型MOS電界効果トランジスタをソース接地で用いる場合、帰還容量はゲート・ドレイン間容量(Cgd)である。Cgdは、トランジスタ自体の活性領域の容量と、基板表面にあるゲート電極用ワイヤーボンディング領域のボンディングパッド容量に分けることができる。このボンディングパッド容量のCgd全体に占める割合は、トランジスタの活性領域の面積にもよるが、50%以上に及ぶことも有る。従って、このボンディングパッド容量を減らすことによりCgdを減少させ高い利得を得る為には、ゲート電極用ワイヤーボンディング領域下の絶縁膜の厚みを増したり、ゲート電極用ワイヤーボンディング領域下に、ソースに接続された基板と反対導電型の拡散層を形成す

る等の方法がとられていた。

第1図aは、ゲート電極用ワイヤーボンディング領域下にソース電極に接続された基板と反対導電型の拡散層を形成した縦型MOS電界効果トランジスタの従来の例の平面図、第1図bは第1図aの従来の例のA-A'線での断面構造図である。第1図に示した従来の例では、縦型MOS電界効果トランジスタとして、ドレインであるN型半導体基板1に、P型チャネル2とN型ソース3をゲート電極4の端部からの拡散で形成した2重拡散型(いわゆるDSA型)のトランジスタを示した。

第1図において、選択酸化等の方法によって形成した1 $\mu$ m程度の熱酸化膜5の上には、層間絶縁膜としてCVD等の方法によって形成された酸化膜6が堆積されている。酸化膜6上にはさらに、N型ソース3及びP型チャネル2の電極として、ソース電極7がソースコンタクト8を介して接続される。同様にゲート電極4へはゲートコンタクト9を介して、ゲート電極用ワイヤーボンディング領域10が接続される。ゲート電極用ワイヤー

ボンディング領域10の下に位置する基板1中には、P型のシールド拡散層11が広く形成され、シールド拡散層用コンタクト12を介してソース電極7に接続され、シールド拡散層11とソース電極7は同電位に保たれる。S, G, Dはそれぞれソース端子、ゲート端子、ドレイン端子を示す。

シールド拡散層11は、ドレインである半導体基板1とゲート電極用ワイヤーボンディング領域10の間に位置しており、しかもその電位がソース電極7とほぼ同一である場合には、ドレインである半導体基板1とゲート電極用ワイヤーボンディング領域10間の容量を減少させることができる。従って、帰還容量となるゲート・ドレイン間容量(Cgd)を減らすことができ、利得が向上する。

しかしながら、第1図に示した従来の例においては、シールド拡散層11の拡散層の抵抗が問題である。つまり、シールド拡散層11の抵抗が高いとゲート電極用ワイヤーボンディング領域下に位置するシールド拡散層11の電位が完全にソー

ス電極7と同一にならず浮き上がってきて、容量の減少する割合が低下する。さらには高周波においてCR時定数が増加し、動作周波数に追従しなくなり容量の減少が著しく低下し、シールド拡散層11の本来の効果を示さなくなるという欠点を有していた。

又、シールド拡散層11によりソース・ドレイン間容量(Cds)のバイアス依存性が大きくなり、入出力のインピーダンス変化が激しい。つまり、シールド拡散層11から伸びる空乏層13がソース・ドレイン間のバイアス電圧により伸び縮みし、空乏層容量が変化する為である。トランジスタを高周波で大信号動作させる場合、ソース・ドレイン間の電圧は大きく振幅するので、Cdsの変化による入出力インピーダンスの変動が発生し、寄生発振や飽和電力が小さい等の問題が起き、安定にトランジスタ動作させることは極めて難しい。

さらに、シールド拡散層11はゲート電極用ワイヤーボンディング領域10とほぼ同程度の大きな面積を必要とするので、ドレインである半導体

基板1とのP-N接合の耐圧及びそのリーク電流が縦型MOS電界効果トランジスタ自体の特性に影響を及ぼす可能性が非常に大きい。又、耐圧等を確保する目的でシールド拡散層11とトランジスタとの位置関係も設計の段階で考慮しなくてはならないという制約もある。

#### 発明の目的

本発明の目的は、半導体基板裏面をドレインとする縦型MOS電界効果トランジスタにおいて、高周波領域までゲート電極用ワイヤーボンディング領域とドレイン間の容量を減少せしめ、高い利得を確保することにある。又、本発明の他の目的はドレイン・ソース間容量(Cds)のバイアス依存性を減少させ入出力インピーダンスを安定化し、トランジスタの寄生発振を防ぐことにある。

#### 発明の構成

本発明は、半導体基板裏面をドレインとする縦型MOS電界効果トランジスタにおいて、半導体基板表面上に絶縁膜を介してゲートと同一材料でしかもソース電極に接続されたシールド電極を有

し、このシールド電極上に絶縁膜を介してゲート電極用ワイヤーボンディング領域及びゲート電極の配線部分を形成していることを特徴とする。

#### 実施例の説明

第2図aは本発明の一実施例の平面図、第2図bは第1図aのB-B線での断面構造図である。本発明の一実施例としてDSA型の縦型MOS電界効果トランジスタを例にとり説明を加える。

第2図において、第1図と等価な構成部分には同一の参照番号及び記号を付して示す。

本発明においては、ドレインである半導体基板1とゲート電極用ワイヤーボンディング領域10との間には、ゲート電極4と同一材料からなるシールド電極14が酸化膜を介して形成されており、このシールド電極14は、シールド電極用コンタクト15によってソース電極と同電位に保たれ、Cgdを減少させる。シールド電極14は、1 $\mu$ m程度の熱酸化膜5上にゲート電極4と同一工程で形成される。シールド電極14はゲート電極4と同一材料であり、不純物を高濃度で拡散した多結

晶シリコンでも、Mo等の高融点金属、MoSi<sub>2</sub>等の高融点金属シリサイドでも良い。これらシールド電極14の材料の抵抗は、第1図で示した従来の例の拡散層を用いた場合の抵抗に比べ1桁以上低い。従って、確実にシールド電極14の電位をソース電極の電位と等しくすることができ、ゲート電極用ボンディング領域10の下に位置するシールド電極14の電位が浮き上がることは殆んどない。さらにCR時定数が小さいので、高い周波数でも追従し、縦型MOS電界効果トランジスタのCgdを高周波領域まで減少させ続けることができ、動作周波数の範囲を大幅に改善することができる。

又、本発明によればシールド電極14は、熱酸化膜5上に有るのでソース・ドレイン間容量(Cds)の絶対値及びそのバイアス依存性が小さい。従って、入出力インピーダンスの向上及びその安定化を図ることができ、寄生発振等を防ぎトランジスタの飽和電力も向上せしめることができる。

さらに、本発明によればシールド電極14は拡

散層ではなく酸化膜上に有り、ドレインである半導体基板1との耐圧低下やリーク電流の発生等の問題が起こりにくい。従って、シールド電極14はトランジスタとの位置関係及び基板内の構成に左右されずにゲート電極用ボンディング領域10の全域及びゲート電極4への配線部分も含めて形成できるのでゲート・ドレイン間容量(Cgd)をさらに減少させることもできる。

以上、本発明の実施例としてDSA型の縦型MOS電界効果トランジスタを例にとり説明を加えたが、半導体基板裏面をドレインとし表面にゲート電極用ワイヤーボンディング領域を有する縦型MOS電界効果トランジスタならばすべてに適用できCgdを減少でき高周波特性を改善できることは明らかである。

又、本発明の一実施例としてシールド電極がゲート電極用ワイヤーボンディング領域よりも面積的に小なる形状のものを示したが、シールド電極がゲート電極用ワイヤーボンディング領域よりも広く形成されていても同様の効果を得ることがで

きるのはもちろん、ゲート電極への配線部分の下に位置していても大きな効果を有することは言うまでもない。

#### 発明の効果

本発明により次の様な効果をもたらされる。

- (1) ゲート電極と同一の低抵抗材料をシールド電極としているので、シールド電極の電位が安定であり、しかも高周波領域までCgdの減少を図ることができ、高い利得と広い動作周波数範囲を持った縦型MOS電界効果トランジスタを得ることができる。
- (2) ドレイン・ソース間容量(Cds)の絶対値及びそのバイアス依存性が少なく入出力インピーダンスが高く、寄生発振が起こりにくい。
- (3) シールド電極とドレインである半導体基板との耐圧及びリーク電流等の問題が発生しにくい。
- (4) シールド電極の配置についてその設計自由度が大きい。
- (5) 製造プロセスを何ら変更することなく実現

でき、コストアップにならない。

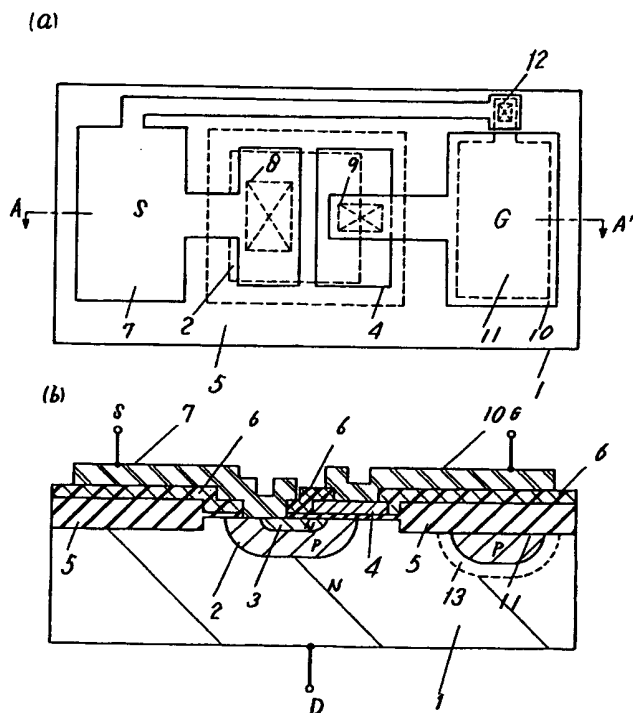
#### 4、図面の簡単な説明

第1図(a)は従来の縦型MOS電界効果トランジスタの平面図、第1図(b)は同(a)のA-A'線での断面構造図、第2図(a)は本発明の縦型MOS電界効果トランジスタの一実施例の平面図、第2図(b)は同(a)のB-B'線での断面構造図である。

1……N型半導体基板、2……P型チャネル、3……N型ソース、4……ゲート電極、5……熱酸化膜、6……酸化膜、14……シールド電極、15……シールド電極用コンタクト。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図



第 2 図

